

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-85950
(P2001-85950A)

(43) 公開日 平成13年3月30日 (2001.3.30)

(51) Int.Cl.⁷
H 0 3 D 3/00

識別記号

F I
H 0 3 D 3/00

テーマコード(参考)
A

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21) 出願番号 特願平11-258587

(22) 出願日 平成11年9月13日 (1999.9.13)

(71) 出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72) 発明者 竹谷 信夫

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 毛利部 宏

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

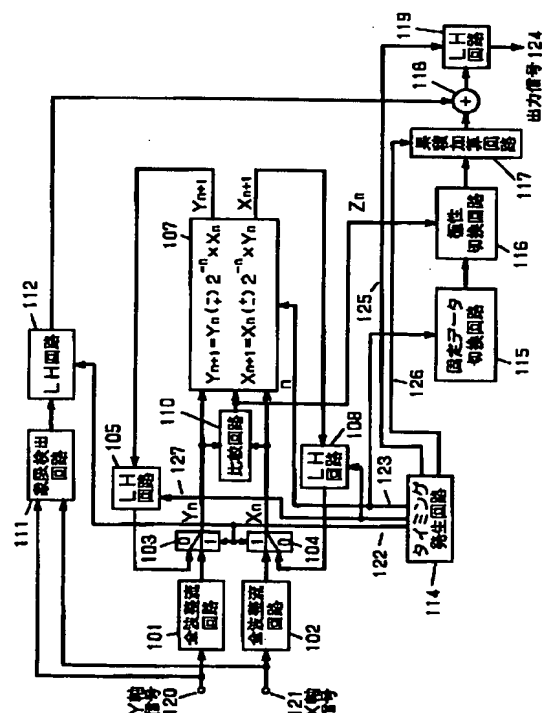
最終頁に続く

(54) 【発明の名称】 アークタンジェント回路

(57) 【要約】

【課題】 本発明は、演算回数が少なくかつ演算誤差を少なくすることができるアークタンジェント回路を提供する。

【解決手段】 全波整流回路101と、全波整流回路102と、切り替え回路103と、切り替え回路104と、ロードホールド回路105と、CORDIC回路107と、ロードホールド回路108と、比較回路110と、象限検出回路111と、ロードホールド回路112と、タイミング発生回路114と、固定データ切り替え回路115と、極性切り替え回路116と、累積加算回路117と、加算回路118と、ロードホールド回路119とを備えている。



【特許請求の範囲】

【請求項 1】 演算回数が少なくかつ演算誤差の少ないことを特徴とするアークタンジェント回路。

【請求項 2】 第 1 の全波整流回路と、第 2 の全波整流回路と、第 1 の切り替え回路と、第 2 の切り替え回路と、第 1 のロードホールド回路と、CORDIC アルゴリズムを利用し直交信号の位相成分を出力する CORDIC アルゴリズム回路と、第 2 のロードホールド回路と、比較回路と、直交信号の位相が 4 象限のうちどこに存在するかを検出する象限検出回路と、第 3 のロードホールド回路と、タイミング発生回路と、固定データ切り替え回路と、極性切り替え回路と、累積加算回路と、加算回路と、第 4 のロードホールド回路とを備え、演算回数が少なくかつ演算誤差の少ないことを特徴とするアークタンジェント回路。

【請求項 3】 請求項 1 において、固定データ切り替え回路は固定データ値を容易に設定できる数式を使って算出していることを特徴とするアークタンジェント回路。

【請求項 4】 請求項 1 において、固定データ切り替え回路は固定データ値を容易に設定できる数式を使って算出していることを特徴とするアークタンジェント回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、直交信号のアークタンジェントを計算する際に、演算回数が少なくかつ演算誤差を少なくできることを提供するためのアークタンジェント回路に関するものである。

【0002】

【従来の技術】 近年、アークタンジェント回路は、デジタル FM 復調回路において、なくてはならない回路技術として重要視されている。

【0003】 以下、図面を参照しながら、上述した従来のアークタンジェント回路の一例について説明を行う。

【0004】 図 4 は、特開平 6-77734 号公報で提案されているアークタンジェント回路のブロック構成図を示すものであり、これを以下に説明する。

【0005】 アークタンジェント回路は図 4 に示すように構成されており、CORDIC として知られる関数計算法を回路化したものである。信号 X は符号判定回路 10 および反転回路 9 に供給し、同様に、信号 Y は反転回路 16 および符号判定回路 17 に供給し、符号判定回路 10 による信号 X の符号判定出力にもとづいて反転回路 9 において信号 X を選択的に正転、または反転すなわち (-1) 倍し、符号判定回路 10 による信号 X の符号判定出力にもとづいて反転回路 16 において信号 Y を選択的に正転、または反転すなわち (-1) 倍する。定数値 0 および定数値 π をセレクト 24 に供給し、符号判定回路 10 による信号 X の符号判定出力にもとづいてセレクト 24 において一方の入力を選択し、セレクト 24 による選択出力は反転回路 25 に供給し、符号判定回路 17

による信号 Y の符号判定出力にもとづいてセレクト 24 からの出力を反転回路 25 において選択的に正転、または反転すなわち (-1) 倍する。反転回路 9 からの出力および後記の 1 ビット左シフト回路 13 からの出力とはセレクト 11 に供給し、セレクト 11 の出力は X レジスタ 12 に供給してロードし、X レジスタ 12 の出力は 1 ビット右シフト回路 14 および加減算回路 15 に供給し、加減算回路 15 において後記の符号判定回路 22 の出力にもとづいて X レジスタ 12 からの出力と後記の 1 ビット右シフト回路 20 からの出力と加算もしくは減算を行う。加減算回路 15 からの出力は 1 ビット左シフト回路 13 に供給して、1 ビット左シフトする。

【0006】 反転回路 16 からの出力および後記の 1 ビット左シフト回路 21 からの出力とはセレクト 18 に供給し、セレクト 18 の出力は Y レジスタ 19 に供給してロードし、Y レジスタ 19 の出力は、1 ビット右シフト回路 20、符号判定回路 22 および加減算回路 23 に供給し、加減算回路 23 において符号判定回路 22 の出力にもとづいて Y レジスタ 19 からの出力と 1 ビット右シフト回路 14 からの出力と加算もしくは減算を行う。

【0007】 加減算回路 23 からの出力は 1 ビット左シフト回路 21 に供給する。反転回路 25 からの出力と後記の 1 ビット左シフト回路 28 からの出力とはセレクト 26 に供給し、セレクト 26 からの出力は Z レジスタ 27 に供給してロードし、Z レジスタ 27 の出力は加減算回路 29 に供給し、Z レジスタ 21 からの出力とアークタンジェント 2 の $-k$ 乗 ($k=0, 1, 2, \dots$) の定数値生成回路 30 の出力とを加減算回路 29 において、符号判定回路 22 の出力にもとづいて加算もしくは減算を行う。加減算回路 29 からの出力は 1 ビット左シフト回路 28 に供給する。

【0008】 Z レジスタ 27 からの出力は角度信号 Z として出力する。ここで、定数値生成回路 30 はアークタンジェント 2 の $-k$ 乗のそれぞれ $K=0, 1, 2, \dots$ に対する定数値を格納した ROM などと構成することができる。また、アークタンジェント 2 の $-k$ 乗の値は定数値であるから ROM に代わって論理回路で構成してもよい。

【0009】 上記のように構成されたアークタンジェント演算回路を説明する。符号判定回路 10 において信号 X の符号が判定され、信号 $X < 0$ のときは反転回路 9 において信号 X が、反転回路 16 において信号 Y が反転され、反転された信号 X はセレクト 11 を介してレジスタ 12 にロードされ、反転された信号 Y はセレクト 18 を介してレジスタ 19 のロードされる。

【0010】 信号 $X \geq 0$ のときは反転回路 9、16 において信号 X、信号 Y が反転されずそのままレジスタ 12、19 にそれぞれロードされる。同時に、信号 X の正負に応じてセレクト 24 によって定数 0 または定数 π が選択されて出力される。セレクト 24 からの出力は、符

号判定回路17において判定した信号Yの正負により、すなわち信号 $Y < 0$ のときはセレクト24の出力を反転して、信号 $Y \geq 0$ のときは反転せず、セレクト26を介してZレジスタ27のロードされる。上記により初期設定が終了する。

【0011】次のクロックからセレクト11、18、26はそれぞれ1ビット左シフト回路13、21、28の出力を選択する側に切替えられる。また、加減算回路15および29はYレジスタ19にロードされたデータが正のときは加算回路として作用し、負のときは減算回路として作用し、加減算回路23は逆にYレジスタ19にロードされたデータが正のときは減算回路として作用し、負のときは加算回路として作用する。加減算回路15、23、29の出力の各ビットは1ビット左シフト回路13、21、28によって1ビットシフトされてセレクト11、18、26に接続される。

【0012】ここで、0ビットには0が入力される。同様にXレジスタ12のデータ、Yレジスタ19のデータは1ビット右シフト回路14、20によって各ビットが右に1ビットシフトされて加減算回路15、23に接続される。最上位ビットは符号拡張される。初期設定の終了に続いて、Xレジスタ12、Yレジスタ、Zレジスタ27、アークタンジェント2の $-k$ 乗($k=0, 1, 2, \dots$)の定数値生成回路30に同時にクロックを必要回数与え、Zレジスタ27の出力Zからアークタンジェントの演算出力を得る。

【0013】

【発明が解決しようとする課題】しかしながら上記のような構成では、次のような問題点を有している。CORDICアルゴリズム回路は図7(a)に示したように、ループをまわす回数が少ないと出力信号のアークタンジェント信号が非線型になるという問題点を有する。

【0014】

【課題を解決するための手段】上記問題点を解決するために本発明のアークタンジェント回路は、第1の全波整流回路と、第2の全波整流回路と、第1の切り替え回路と、第2の切り替え回路と、第1のロードホールド回路と、CORDICアルゴリズムを利用し直交信号の位相成分を出力するCORDICアルゴリズム回路と、第2のロードホールド回路と、比較回路と、直交信号の位相が4象限のうちどこに存在するかを検出する象限検出回路と、第3のロードホールド回路と、タイミング発生回路と、固定データ切り替え回路と、極性切り替え回路と、累積加算回路と、加算回路と、第4のロードホールド回路とを備えたものである。

【0015】

【発明の実施の形態】本発明の請求項1に記載の発明は演算回数が少なくかつ演算誤差の少ないことを特徴とするアークタンジェント回路であり、収束させる基準の角度を0度ではなく、45度に設定するという作用を有す

る。

【0016】本発明の請求項2に記載の発明は第1の全波整流回路と、第2の全波整流回路と、第1の切り替え回路と、第2の切り替え回路と、第1のロードホールド回路と、CORDICアルゴリズムを利用し直交信号の位相成分を出力するCORDICアルゴリズム回路と、第2のロードホールド回路と、比較回路と、直交信号の位相が4象限のうちどこに存在するかを検出する象限検出回路と、第3のロードホールド回路と、タイミング発生回路と、固定データ切り替え回路と、極性切り替え回路と、累積加算回路と、加算回路と、第4のロードホールド回路とを備え、演算誤差回数が少なくかつ演算誤差の少ないことを特徴とするアークタンジェント回路であり、収束させる基準の角度を0度ではなく、45度に設定するという作用を有する。

【0017】本発明の請求項3に記載の発明は請求項1において、固定データ切り替え回路は固定データ値を容易に設定できる数式を使って算出していることを特徴とするアークタンジェント回路であり、1円周/360度を決まった値に設定するという作用を有する。

【0018】本発明の請求項4に記載の発明は請求項1において、固定データ切り替え回路は固定データ値を容易に設定できる数式を使って算出していることを特徴とするアークタンジェント回路であり、1円周/360度を決まった値に設定するという作用を有する。

【0019】以下本発明の実施の形態について、図面を参照しながら説明する。

【0020】(実施の形態)図1は本発明の第1の実施例におけるアークタンジェント回路のブロック構成図を示すものである。図1において、101は入力されたY軸信号が正の値の信号であればそのまま出力し、負の値の信号であれば反転して出力する、いわゆる全波整流回路である。

【0021】102は入力されたX軸信号が正の値の信号であればそのまま出力し、負の値の信号であれば反転して出力する、いわゆる全波整流回路であり、103はセレクト制御信号が「1」ならば前記全波整流回路101の出力信号を出力し、「0」であれば後述するロードホールド回路105の出力信号を出力する切り替え回路である。

【0022】104はセレクト制御信号が「1」ならば前記全波整流回路102の出力信号を出力し、「0」であれば後述するロードホールド回路108の出力信号を出力する切り替え回路であり、105は後述するタイミング発生回路114から出力される制御信号が「1」のときに後述するCORDIC回路107からの出力信号(Y_{n+1} 信号)を出力し(ロードし)、制御信号が「0」のときは出力している信号をそのまま変化させない(ホールド)、いわゆるロードホールド回路である。

【0023】107は前記切り替え回路103からの出

5.

力信号 (X_n 信号) と前記切り替え回路104からの出力信号 (Y_n 信号) と後述するタイミング発生回路114からの制御信号 n を入力し、後述する比較回路110からの制御信号が「0」のときは ($Y_{n+1} = X_n - 2^{-n} \times Y_n$, $X_{n+1} = Y_n + 2^{-n} \times X_n$) の数式によって、制御信号が「1」のときは ($Y_{n+1} = X_n + 2^{-n} \times Y_n$, $X_{n+1} = Y_n - 2^{-n} \times X_n$) の数式によって得られる Y_{n+1} 信号、 X_{n+1} 信号を出力するCORDIC回路である。

【0024】108は後述するタイミング発生回路114から出力される制御信号が「1」のときに前記CORDIC回路107からの出力信号 (X_{n+1} 信号) を出力し (ロードし)、制御信号が「0」のときは出力している信号をそのまま変化させない (ホールド)、いわゆるロードホールド回路である。

【0025】110は前記切り替え回路103、104からの出力信号 (X_n 信号、 Y_n 信号) を入力し、(X_n 信号 $\leq Y_n$ 信号) であれば「0」を出力し、(X_n 信号 $> Y_n$ 信号) であれば「1」を出力する比較回路である。

【0026】111は入力されるX軸信号、Y軸信号の符号が (X軸信号 ≥ 0 、Y軸信号 ≥ 0) であれば1象限に位置する信号としてそれに相応する信号を出力し、

(X軸信号 < 0 、Y軸信号 ≥ 0) であれば2象限に位置する信号としてそれに相応する信号を出力し、(X軸信号 < 0 、Y軸信号 < 0) であれば3象限に位置する信号としてそれに相応する信号を出力し、(X軸信号 ≥ 0 、Y軸信号 < 0) であれば4象限に位置する信号としてそれに相応する信号を出力する象限検出回路である。

【0027】112は前記象限回路111からの出力信号を入力信号とし、後述するタイミング発生回路114から出力される制御信号が「1」のときに前記象限回路111の出力信号を出力し (ロードし)、制御信号が「0」のときは出力している信号をそのまま変化させない (ホールド)、いわゆるロードホールド回路である。

【0028】114は各回路に必要なタイミングパルスを発生させるタイミング発生回路であり、115は ($(C/360) \times \tan^{-1}(2^{-n})$ 、 C は定数。) により与えられる固定データを前記タイミング発生回路114からの制御信号 n によって切り替えて出力する固定データ切り替え回路である。

【0029】116は前記固定データ切り替え回路115の出力信号を、前記比較回路110からの制御信号が「0」であればそのまま出力し、制御信号が「1」であれば反転して出力する極性切り替え回路であり、117は前記タイミング発生回路114からの制御信号に応じたタイミング期間に前記極性切り替え回路116の出力信号を累積加算したり、累積値をリセットしたりする累積加算回路である。

【0030】118は前記累積加算回路117の出力信号と前記ロードホールド回路112の出力信号とを加算する加算回路であり、119は前記ロードホールド回路

6

118の出力を入力信号とし、前記タイミング発生回路114から出力される制御信号が「1」のときに前記象限回路111の出力信号を出力し (ロードし)、制御信号が「0」のときは出力している信号をそのまま変化させない (ホールド)、いわゆるロードホールド回路である。

【0031】120はデジタル信号で、かつ後述するX軸信号と直交しているY軸信号であり、121はデジタル信号で、かつ前記Y軸信号と直交しているX軸信号であり、122は前記タイミング発生回路から出力されるタイミングパルスであり、123は n と呼ばれる各回路の制御信号である、124はアークタンジェント回路からのデジタル出力信号である。

【0032】以上のように構成されたアークタンジェント回路について、以下図1、図2、図3、図6、図8を用いてその動作を説明する。

【0033】まず本発明のポイントとなるCORDICアルゴリズムを説明するが、その説明図が図6(a)である。図6(a)は直交信号 (X_n 、 Y_n) を直交座標軸上に示したものである。CORDICアルゴリズムとは (X_n 、 Y_n) の座標点から

$$X_{n+1} = X_n + 2^{-n} \times Y_n \cdots \cdots (1式)$$

$$Y_{n+1} = Y_n - 2^{-n} \times X_n \cdots \cdots (2式)$$

の数式によって示される新しい座標点 (X_{n+1} 、 Y_{n+1}) までの角度 θ が

$$\theta_n = \tan^{-1}(2^{-n}) \cdots \cdots (3式)$$

によって得られるというアルゴリズムである。例えば、図6(b)にその実際例があるが、初期値 (X_0 、 Y_0) = (0、8) であった場合の動作を示している。

$n=0$ のときは (X_1 、 Y_1) = (8、8)、 $\theta_0 = \tan^{-1}(2^{-0}) = 45度$

$n=1$ のときは (X_2 、 Y_2) = (12、4)、 $\theta_1 = \tan^{-1}(2^{-1}) = 26.56度$

$n=2$ のときは (X_3 、 Y_3) = (13、1)、 $\theta_2 = \tan^{-1}(2^{-2}) = 14.04度$

というように決まった n の値では決まった角度だけ座標点移動している事がわかる。これを利用して直交信号 (X_n 、 Y_n) の角度を検出するのが本発明だが、その説明図が図8にある。

【0034】ここで、X軸信号120 (X_n の初期値に相当する)、Y軸信号121 (Y_n の初期値に相当する) がビット数10ビットのデジタル信号だとする。その時、上記 n の値は $n=10$ が最大値となるが、理由は (1式)、(2式) の中の $2^{-n} \times Y_n$ 、 $2^{-n} \times X_n$ の項にて、 X_n 、 Y_n が10ビットデジタル信号であるため、 $2^{-n} \times Y_n$ 、 $2^{-n} \times X_n$ の計算が $n=11$ 以上だと意味をなさなくなるからである。

【0035】さてここで、X軸信号、Y軸信号の入力値が (X_0 、 Y_0) = (1、12) として、CORDIC回路107と固定データ切り替え回路115と極性切り替

え回路116と累積加算回路117がどのように動作するのかを実際に見てみる。

【0036】(その角度(アークタンジェント)を計算してみる。)まず、 $X_0 \leq Y_0$ であるため、比較回路110の出力制御信号は「0」になり、CORDIC回路107の出力信号は($Y_{n+1} = X_n - 2^{-n} \times Y_n$, $X_{n+1} = Y_n + 2^{-n} \times X_n$)の数式によって計算されるから、

(X_1, Y_1) = (13, 11)となる。次に(X_2, Y_2)を計算するのだが、この時の比較回路110からの出力制御信号は「1」になるため、CORDIC回路107の出力信号は($Y_{n+1} = X_n + 2^{-n} \times Y_n$, $X_{n+1} = Y_n - 2^{-n} \times X_n$)の数式によって計算されるから、(X_2, Y_2) = (7.5, 17.5)となる。この計算を $n=10$ まで繰り返した結果は以下のようになる。

【0037】尚、比較制御110の出力制御信号をZとしている。

初期値、(X_0, Y_0) = (1, 12)

$n=0$, (X_1, Y_1, Z_0) = (13, 11, 0)

$n=1$, (X_2, Y_2, Z_1) = (7.5, 17.5, 1)

$n=2$, (X_3, Y_3, Z_2) = (11.875, 15.625, 0)

$n=3$, (X_4, Y_4, Z_3) = (13.828, 14.141, 0)

$n=4$, (X_5, Y_5, Z_4) = (14.712, 13.276, 0)

$n=5$, (X_6, Y_6, Z_5) = (14.297, 13.736, 1)

$n=6$, (X_7, Y_7, Z_6) = (14.082, 13.960, 1)

$n=7$, (X_8, Y_8, Z_7) = (13.973, 14.070, 1)

$n=8$, (X_9, Y_9, Z_8) = (14.028, 14.015, 0)

$n=9$, (X_{10}, Y_{10}, Z_9) = (14.001, 14.042, 1)

$n=10$, (X_{11}, Y_{11}, Z_{10}) = (14.015, 14.029, 0)

$n=11$, (Z_{11}) = (0)

になる。

【0038】ここで、各 Z_n 値に応じて固定データ切り替え回路115にて固定データを切り替え、更に比較回路110からの制御信号にてその極性を切り替えてやり、その結果を累積加算回路117にて累積してやると、欲しいデータが得られるが、それを実際に計算してみると、 $Z_0=0$ であるため、右回りに45度移動しているから移動角度を45度とする。

【0039】次に $Z_1=1$ であるため、左回りに26.565度移動しているから移動角度を-26.565度とする。これを $n=11$ まで続けたのが下の計算であ

る。また、下の計算にて、移動角度は固定的に決まる値であり、これを各 n によって切り替えているのが固定データ切り替え回路115であり、その符号を決定しているのが比較回路110であり、実際に固定データ切り替え回路115からのデータの極性を切り替えているのが極性切り替え回路116である。

【0040】 $n=0$, (Z_0 , 移動角度) = (0, 45)

$n=1$, (Z_1 , 移動角度) = (1, -26.565)

$n=2$, (Z_2 , 移動角度) = (0, 14.036)

$n=3$, (Z_3 , 移動角度) = (0, 7.125)

$n=4$, (Z_4 , 移動角度) = (0, 3.576)

$n=5$, (Z_5 , 移動角度) = (1, -1.790)

$n=6$, (Z_6 , 移動角度) = (1, -0.895)

$n=7$, (Z_7 , 移動角度) = (1, -0.448)

$n=8$, (Z_8 , 移動角度) = (0, 0.224)

$n=9$, (Z_9 , 移動角度) = (1, -0.112)

$n=10$, (Z_{10} , 移動角度) = (0, 0.0560)

$n=11$, (Z_{11} , 移動角度) = (0, 0.0280)

(一般的には移動角度 = $\tan^{-1}(2^{-n})$ で得られる。)

以上の計算は $X_n=Y_n$ となるように($\theta=45$ 度になるように)CORDICアルゴリズムを計算しているため、上述した移動角度を全て加算すると(回路的には累積回路117にて行なう) $X_n=Y_n$ となるまでの($\theta=45$ 度となるまでの)移動角度を得ることができるが、その結果は40.236度になる。

【0041】収束角度が45度であるため、出力角度は40.236+45=85.236度になるが、これは初期値(1, 12)のアークタンジェント値($\tan^{-1}(1/2)=85.236$ 度)と同じ結果になる。

【0042】以上はCORDIC回路107と固定データ切り替え回路115と極性切り替え回路116と累積加算回路117の一連の回路がどのように動作するのかを示したものであるが、これだけでは十分に回路動作を説明できていないため、残りの説明を行なう。

【0043】まず、全波整流回路101、102は入力されたX軸信号とY軸信号とを全波整流する。これはCORDIC回路107に入力する信号を全て第1象限に移動させ、第1象限において入力信号のベクトル角を計算するのだが、これは計算のやり易さのためであり、また計算精度を高めるためでもある。

【0044】全波整流回路101、102の出力信号は切り替え回路103、104に入力されるが、切り替え回路103、104のセレクト制御信号は図9(d)122の信号のタイミングで切り替わり、「H」のときにX軸信号120、Y軸信号121を取り込みCORDIC回路107に信号を送る。そして、まず、比較回路110に入力され、制御信号 Z_n を出力し、切り替え回路103、104からの出力信号 X_n, Y_n とともにCO

RDIC回路107に入力される。

【0045】CORDIC回路107ではタイミング発生回路114から出力されるn信号123(図9(c))に示すタイミング波形に応じて、次の計算を行なう。 Z_n が「0」のときは($Y_{n+1}=X_n-2^{-n} \times Y_n$, $X_{n+1}=Y_n+2^{-n} \times X_n$)の数式によって、「1」のときは($Y_{n+1}=X_n+2^{-n} \times Y_n$, $X_{n+1}=Y_n-2^{-n} \times X_n$)の数式によって得られる Y_{n+1} 信号、 X_{n+1} 信号を出力する。

【0046】これらの信号をロードホールド回路105、108に入力し、切り替え回路103、104に戻す。そうすると Y_n 信号は図9(e)に示したような $Y_0 \sim Y_{10}$ を繰り返す信号になる。次に比較回路110から出力された制御信号 Z_n は極性切り替え回路116に入力され、固定データ切り替え回路115からの出力データの極性を切り替えるが、固定データ切り替え回路は前述した $\tan^{-1}(2^{-n})$ という数式によって得られるデータをタイミング発生回路114からのn信号123に応じた信号を切り替えて出力している。

【0047】例えば前述した条件であれば、

$Z_0=45$ 度、800h

$Z_1=26.565$ 度、4B9h

$Z_2=14.036$ 度、27Eh

$Z_3=7.125$ 度、144h

$Z_4=3.576$ 度、A2h

$Z_5=1.790$ 度、51h

$Z_6=0.895$ 度、28h

$Z_7=0.448$ 度、14h

$Z_8=0.224$ 度、Ah

$Z_9=0.112$ 度、5h

$Z_{10}=0.0560$ 度、2h

$Z_{11}=0.0280$ 度、1h

ということになるが、左側の値は $\tan^{-1}(2^{-n})$ にて計算した値、右側の値は $(C/360) \times \tan^{-1}(2^{-n})$ にて計算した値であり、ここでは $C=4000$ hとしているが、Cとは1円周角(360度)を与える定数であり、16進法にて100、200、400、800というようにMSBを「1」にして残りは「0」にするように決める。理由は後述する。そしてそのブロック構成図は図2にある。

【0048】また、極性切り替え回路116からの出力信号を累積加算回路117によって累積加算するが、この回路をリセットするタイミングが図9(f)126信号にあり、累積加算回路117の出力信号の状態が図9(h)に示してあるが、リセットした直後の出力信号が「0」になっており、このタイミング後に新たな累積加算が始まっていることがわかる。

【0049】一方X軸信号121、Y軸信号120は象限検出回路111に入力され、入力された信号の正負情報から新しく作られたデータを選択し出力するように動

作する。そのブロック構成図が図3に示されているが、
(X、Y)=(正、正)ならば0(0h)を出力し、
(X、Y)=(負、正)ならば $C/4$ (1000h)を出力し、
(X、Y)=(負、負)ならば $C/2$ (2000h)を出力し、
(X、Y)=(正、負)ならば $C \times 3/4$ (3000h)を出力する。という切り替えを行ない、その出力をロードホールド回路112に入力するが、これは全波整流回路101、102にて入力された信号を全て第1象限に変換したため、元々存在していた象限のデータを後段にて付加する必要があるためだ。

【0050】そのデータを発生させるのが象限検出回路111であり、象限検出回路111からのデータと累積加算回路117からのデータとのタイミングを調整するのがロードホールド回路112である。そしてそれらのタイミングは図9(i)にある。ロードホールド回路112からの象限変換データと累積加算回路117からのアークタンジェントデータとを加算して最終のアークタンジェントデータにするのが加算回路118で、そのデータのタイミングを合わせるのがロードホールド回路119である。

【0051】そのタイミングは図9(j)にある。以上のようにして直交信号であるX軸信号とY軸信号のアークタンジェントである出力信号124を得ることができる。

【0052】ここで、Cの値の決定方法であるが、その説明ブロック図が図5である。図5(a)にて501は掛け算回路、502は掛け算回路、503は高調波成分を取り除くためのローパスフィルター回路、504は高調波成分を取り除くためのローパスフィルター回路、505は本発明回路と同じ働きをするアークタンジェント回路、506は微分回路であり、このブロック構成図にてFM変調された信号を復調する事ができる。

【0053】簡単に説明するとFM信号は周波数によって変調を受けた信号であるから、固定周波数(FM変調周波数に近い周波数)をもつSIN信号、COS信号を掛け算回路501、502によって入力信号に掛け算すると、そのビート成分が出力される。この信号に含まれる高調波成分をLPF503、504にて落とし、直交信号成分だけにして、アークタンジェント回路505に入力すると、前記ビート成分のアークタンジェント信号が得られる。

【0054】ここで、入力信号の周波数が高くなると、ビート成分の周波数も高くなり、アークタンジェント回路505から出力される角度信号の変化量も大きくなるため、その信号の微分成分も大きくなる。つまり、アークタンジェント回路505からの出力信号を微分回路506にて微分した出力信号はFM復調した信号そのものになる。このようにアークタンジェント回路からの出力信号を微分するとFM復調信号が得られるが、アークタンジェント回路からの出力信号は0度~360度をぐる

ぐる繰り返す信号となるため、単純に微分すると0度/360度の境界にて非線形部分が出力され、正確な復調信号が得られない。

【0055】そこで、一周360度を16進法にて100、200、400、800というようにMSBを「1」にして残りは「0」にするように決める。そうすると、図5(b)に示す微分回路では正確な復調信号が得られることになるが、まず図5(b)を説明すると、510は入力信号をある一定時間遅らせるディレイ回路、511は入力信号を反転させる反転回路、512は入力信号をアダーするアダー回路であるが、この場合反転回路511にて片方の入力信号を反転させており、かつキャリーイン信号を「H」に設定しているため、アダー回路512は引き算回路になる。次にこの微分回路で実際に演算を行なってみる。

【0056】まず一周360度を4000hとして、入力信号を図10(a)のように設定するが、これは360度(4000h)をまたがり、かつ単純増加(80h)する値にしている。この信号をディレイ回路510に通した信号が図10(b)とすると、出力信号515は図10(c)になるが、これをみると、全て80hになっており、非線形部分が無い事がわかる。このようにCの値を16進法にて100、200、400、800というようにMSBを「1」にして残りは「0」にするように決めると、FM復調には必要な微分回路を図5

(b)に示すような簡単な回路で構成する事ができるが、これを実現するには固定データ切り替え回路115を図2に示すようなデータ設定にする事、かつ象限検出回路111を図3に示すようなデータ設定にする事が必要になる。

【0057】以上のように本実施例によれば、比較回路110を設けて収束角度を45度にする事、また固定データ切り替え回路115を図2に示すようなデータ設定にする事、かつ象限検出回路111を図3に示すようなデータ設定にする事で、演算回数が少なくかつ演算誤差の少ないことを特徴とするアークタンジェント回路を提供することができる。

【0058】

【発明の効果】以上のように本発明は第1の全波整流回路と、第2の全波整流回路と、第1の切り替え回路と、第2の切り替え回路と、第1のロードホールド回路と、CORDICアルゴリズム回路と、第2のロードホールド回路と、比較回路と、象限検出回路と、第3のロードホールド回路と、タイミング発生回路と、固定データ切り替え回路と、極性切り替え回路と、累積加算回路と、

加算回路と、第4のロードホールド回路を設ける事により、演算回数が少なくかつ演算誤差の少ないアークタンジェント回路を提供する事ができる。

【図面の簡単な説明】

【図1】本発明の実施例におけるアークタンジェント回路のブロック構成図

【図2】本発明の固定データ切り替え回路のブロック構成図

【図3】本発明の象限切り替え回路のブロック構成図

10 【図4】従来のアークタンジェント回路のブロック構成図

【図5】本発明の実施例におけるFM復調回路の動作説明図

【図6】本発明の実施例におけるCORDICアルゴリズムの動作説明図

【図7】従来及び本発明の実施例における入出力特性図

【図8】本発明の実施例におけるCORDICアルゴリズムの動作説明図

20 【図9】本発明の実施例におけるアークタンジェント回路の動作説明図

【図10】本発明の実施例における微分回路の動作説明図

【符号の説明】

101 全波整流回路

102 全波整流回路

103 切り替え回路

104 切り替え回路

105 ロードホールド回路

107 CORDIC回路

30 108 ロードホールド回路

110 比較回路

111 象限検出回路

112 ロードホールド回路

114 タイミング発生回路

115 固定データ切り替え回路

116 極性切り替え回路

117 累積加算回路

118 加算回路

119 ロードホールド回路

40 120 Y軸信号

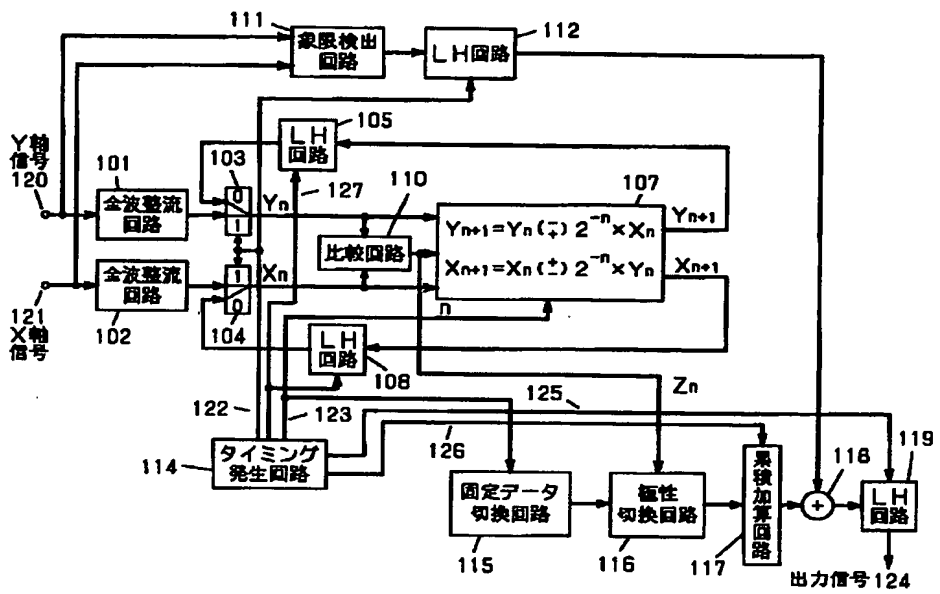
121 X軸信号

122 タイミングパルス

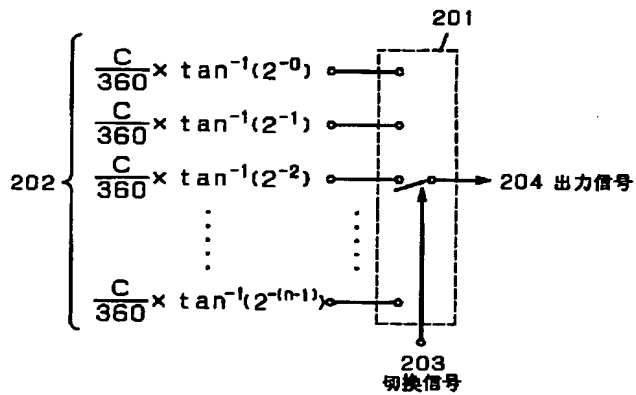
123 n制御信号

124 出力信号

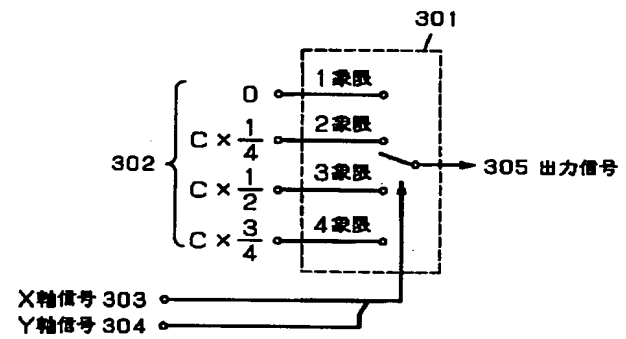
【図1】



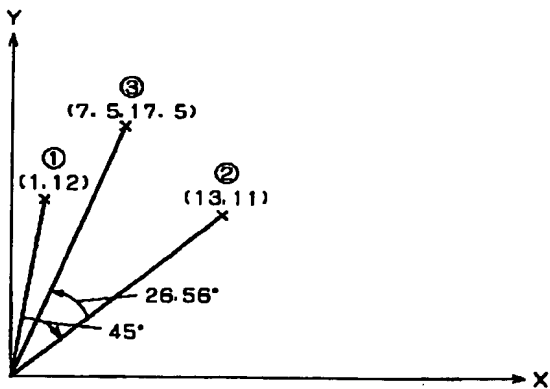
【図2】



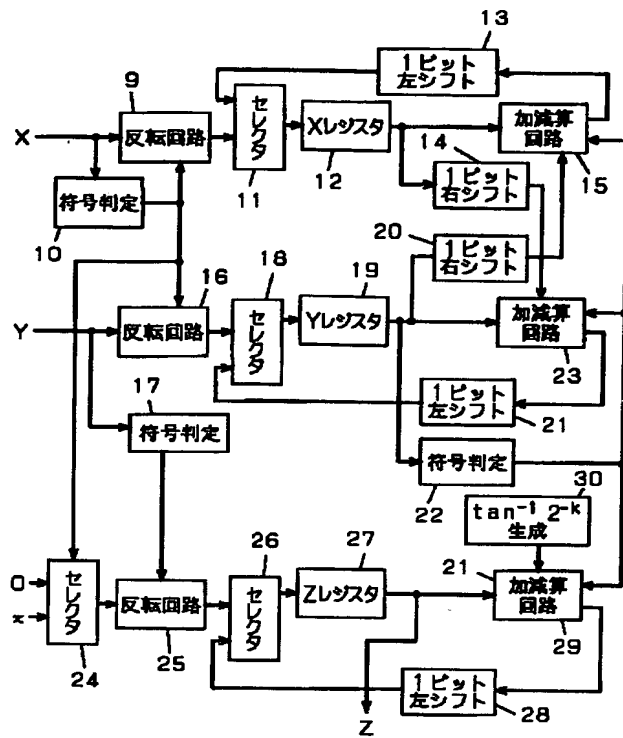
【図3】



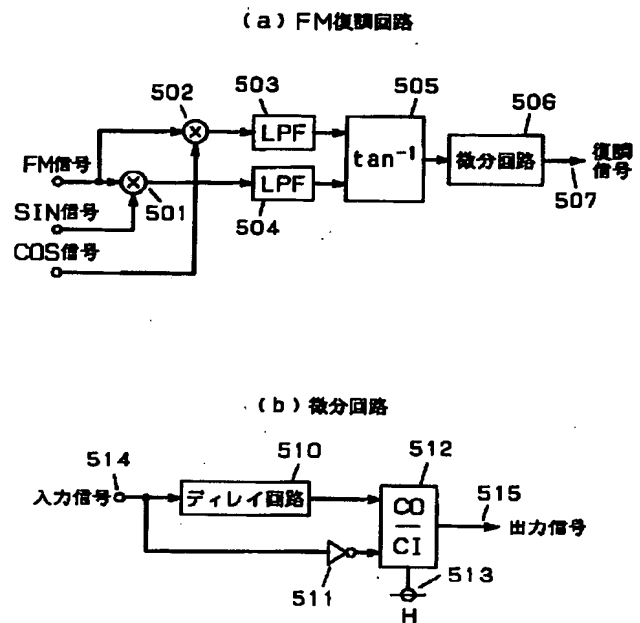
【図8】



【図 4】

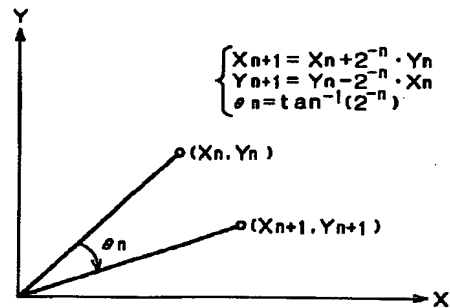


【図 5】

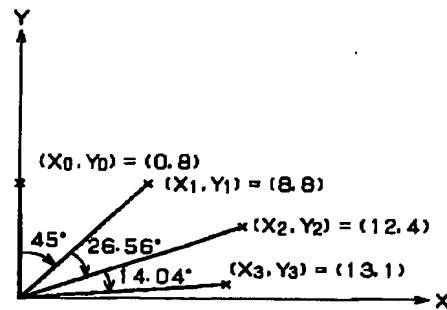


【図 6】

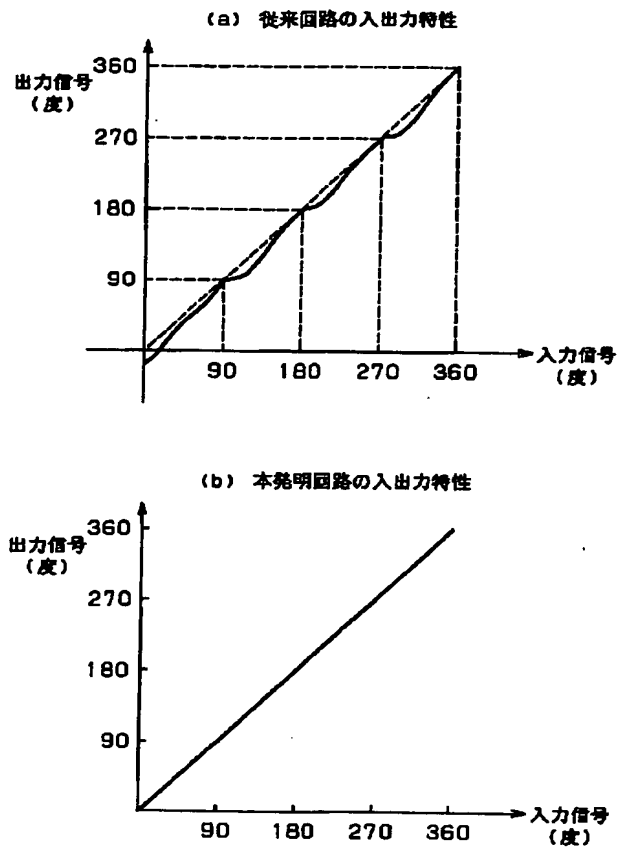
(a) CORDIC アルゴリズムの説明図



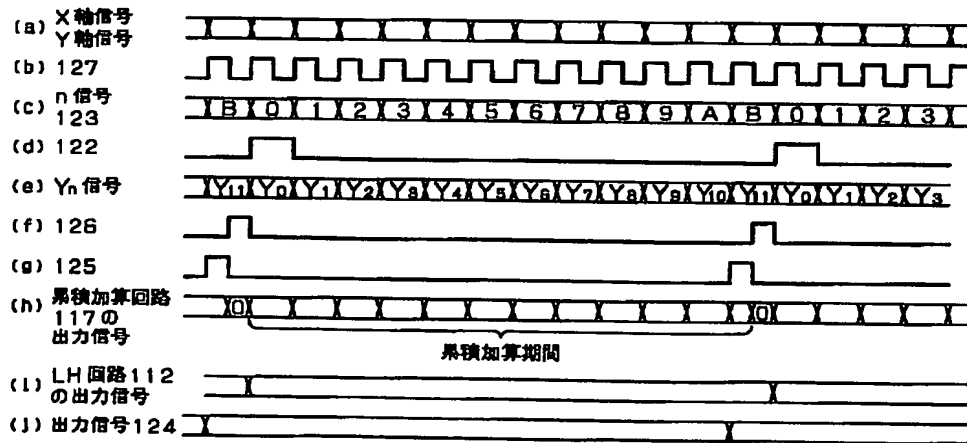
(b) CORDIC アルゴリズムの実例



【図 7】



【図 9】



【図10】

(a) 入力信号	0180h 0100h 0080h 4000h 3f80h 3f00h 3e80h
(b) ディレイ回路 510 出力信号	0180h 0100h 0080h 4000h 3f80h 3f00h
(c) 出力信号 515	80h 80h 80h 80h 80h 80h

フロントページの続き

(72) 発明者 森田 久雄
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 澁谷 竜一
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72) 発明者 安藤 仁
大阪府門真市大字門真1006番地 松下電器
産業株式会社内